

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-173691

(43)公開日 平成10年(1998)6月26日

(51)Int.Cl.⁶

H 0 4 L 12/46
12/28

識別記号

F I

H 0 4 L 11/00

3 1 0 C

審査請求 未請求 請求項の数 6 O.L. (全 12 頁)

(21)出願番号 特願平8-333857

(22)出願日 平成8年(1996)12月13日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 叶谷 智利

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

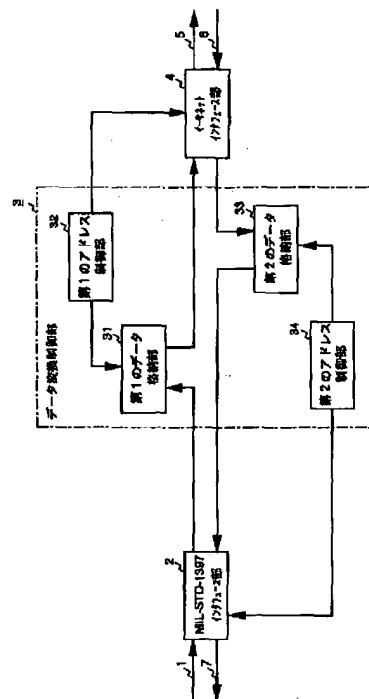
(74)代理人 弁理士 宮田 金雄 (外2名)

(54)【発明の名称】 LAN連接装置

(57)【要約】

【課題】 MIL-ST D-1397 TYPE等のポイントツーポイントのインターフェースをイーサネット(登録商標)(Ethernet(登録商標))等のLAN(Local Area Network;ローカルエリアネットワーク)インターフェースに変換することができるLAN連接装置を得る。

【解決手段】 プロトコル変換機能を有するMIL-ST D-1397インターフェース部とイーサネットインターフェース部及びデータ変換制御部から構成され、MIL-ST D-1397規格の情報とLAN規格の情報を相互変換するようにした。



【特許請求の範囲】

【請求項1】 MIL規格のMIL-STD-1397 TYPE規格等のインターフェース機能を有するMIL-STD-1397インターフェース部と、イーサネット(Ethernet)規格のインターフェース機能を有するイーサネットインターフェース部と、上記MIL-STD-1397インターフェース部から入力するデータを格納する第1のデータ格納部と、上記イーサネットインターフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN連接装置。

【請求項2】 MIL規格のMIL-STD-1397 TYPE規格等のインターフェース機能を有するMIL-STD-1397インターフェース部と、FDDI(Fiber Distributed Data Interface)規格のインターフェース機能を有するFDIインターフェース部と、上記MIL-STD-1397インターフェース部から入力するデータを格納する第1のデータ格納部と、上記FDDIインターフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN連接装置。

【請求項3】 MIL規格のMIL-STD-1397 TYPE規格等のインターフェース機能を有するMIL-STD-1397インターフェース部と、SAFENET(Survivable Adaptable Fiber Optic Embedded Network)規格のインターフェース機能を有するSAFENETインターフェース部と、上記MIL-STD-1397インターフェース部から入力するデータを格納する第1のデータ格納部と、上記SAFENETインターフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN連接装置。

【請求項4】 MIL規格のMIL-STD-1397 TYPE規格等のインターフェース機能を有するMIL-STD-1397インターフェース部と、ATM(Asynchronous Transfer Mode)規格のインターフェース機能を有するATMインターフェース部と、上記MIL-STD-1397インターフェース部から入力するデータを格納する第1のデータ格納部と、上記ATMインターフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部

と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN連接装置。

【請求項5】 MIL規格のMIL-STD-1397 TYPE規格等のインターフェース機能を複数チャネル有するMIL-STD-1397多チャネルインターフェース部と、イーサネット規格のインターフェース機能を有するイーサネットインターフェース部と、上記MIL-STD-1397多チャネルインターフェース部から入力するデータを格納する第1のデータ格納部と、上記イーサネットインターフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN連接装置。

【請求項6】 MIL規格のMIL-STD-1397 TYPE規格等のインターフェース機能を有するMIL-STD-1397インターフェース部と、イーサネット規格のインターフェース機能を有するイーサネットインターフェース部と、上記MIL-STD-1397インターフェース部から入力するデータを格納する第1のデータ格納部と、上記イーサネットインターフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部と、上記MIL-STD-1397インターフェース部からの制御信号を制御する制御信号制御部とを具備したことを特徴とするLAN連接装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ポイントツーポイントのインターフェースを有する装置をLAN(Local Area Network; ローカルエリアネットワーク)に接続することを可能とするLAN連接装置に関するものである。

【0002】

【従来の技術】MIL規格のMIL-STD-1397で規定されているポイントツーポイントのインターフェース機能は装置内に有しているが、LANのインターフェース機能は有していない装置(以下ポイントツーポイントのインターフェース装置という)をLANに接続しようとした場合、従来は、ハードウェア及びソフトウェアの改修を行い、LANに接続可能なLANインターフェース部をポイントツーポイントのインターフェース装置内に実装して、LANとのインターフェースがとれるようにしている。または、改修量、コストが増大するとともに、改修に要する期間をかなり必要とするため、上記ポイントツーポイントのインターフェース装置をLANに接続するこ

とは不可能としている。

【0003】

【発明が解決しようとする課題】データ等の情報を複数の装置間で通信できるようにするためにポイントツーポイントのインターフェース装置をLANに接続する場合には、上記装置内にLANインターフェース部を新たに設ける必要があり、このために筐体、内部配線、ソフトウェア等の大規模な改修が必要であった。しかしながら、上記のような改修を行うことは、費用、改修規模等から考えてほとんど不可能であるという問題が生じた。

【0004】この発明はこのような課題を解決するためになされたもので、MIL規格のポイントツーポイントのインターフェースを有する装置ならば、容易にLANに接続することを可能とするLAN連接装置を提供するものである。

【0005】

【課題を解決するための手段】第1の発明によるLAN連接装置は、MIL規格のフォーマットの生成、分解、アドレス認識を行うMIL-STD-1397インターフェース部とイーサネット規格のフォーマットの生成、分解、アドレス認識を行うイーサネットインターフェース部と上記両インターフェース部のデータを格納し、アドレス制御を行うデータ変換制御部を設けて、MIL規格とイーサネット規格とのプロトコル変換を可能にするようにしたものである。

【0006】また、第2の発明によるLAN連接装置は、FDDI LANとデータの入出力を行い、FDDI規格のフォーマットの生成、分解、アドレス認識を行うFDDIインターフェース部を設けて、MIL規格とFDDI規格とのプロトコル変換を可能にするようにしたものである。

【0007】また、第3の発明によるLAN連接装置は、SAFENET (Survivable Adaptable Fiber Optic Embedded Network) LANとデータの入出力を行い、SAFENET規格のフォーマットの生成、分解、アドレス認識を行うSAFENETインターフェース部を設けて、MIL規格とSAFENET規格とのプロトコル変換を可能にするようにしたものである。

【0008】また、第4の発明によるLAN連接装置は、ATM (Asynchronous Transfer Mode) LANとデータの入出力を行い、ATM規格のフォーマットの生成、分解、アドレス認識を行うATMインターフェース部を設けて、MIL規格とATM規格とのプロトコル変換を可能にするようにしたものである。

【0009】また、第5の発明によるLAN連接装置は、MIL規格のデータとの入出力をを行う機能を多チャネル収容するMIL-STD-1397多チャネルインターフェース部を設けて、MIL規格のインターフェースを

同時に多チャネルサポート可能にするようにしたものである。

【0010】また、第6の発明によるLAN連接装置は、MIL-STD-1397インターフェース部からの制御信号を制御する制御信号制御部を設けて、制御信号の制御を可能にするようにしたものである。

【0011】

【発明の実施の形態】

実施の形態1. 図1はこの発明の実施の形態1を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL規格のデータとのインターフェースを行うMIL-STD-1397インターフェース部、3はMIL規格のデータとイーサネット(Ethernet)、FDDI等のLAN規格のデータとを変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、4はイーサネット規格のデータとのインターフェースを行うイーサネットインターフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397インターフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記イーサネットインターフェース部4に対してアドレス制御を行う上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記イーサネットインターフェース部4から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-STD-1397インターフェース部2と上記第2のデータ格納部33に対してアドレス制御を行う上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0012】図1においてMIL-STD-1397インターフェース部2は図示していない装置からMIL規格の入力データ1を入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをイーサネットインターフェース部4に出力する。上記イーサネットインターフェース部4はイーサネット規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記イーサネットインターフェース部4は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-STD-1397インターフェース部2に出力する。上記MIL-STD-1397インターフェース部2はMIL規格のフォーマットの生

成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示してない装置に出力する。

【0013】実施の形態2. 図2はこの発明の実施の形態2を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL規格のデータとのインターフェースを行うMIL-ST D-1397インターフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータと変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、4はFDDI規格のデータとのインターフェースを行うFDDIインターフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-ST D-1397インターフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記FDDIインターフェース部8に対してアドレス制御を行う上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記FDDIインターフェース部8から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-ST D-1397インターフェース部2と上記第2のデータ格納部33に対してアドレス制御を行う上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0014】図2においてMIL-ST D-1397インターフェース部2は図示していない装置からMIL規格の入力データ1を入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをFDDIインターフェース部8に出力する。上記FDDIインターフェース部8はFDDI規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記FDDIインターフェース部8は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-ST D-1397インターフェース部2に出力する。上記MIL-ST D-1397インターフェース部2はMIL規格のフォーマットの生成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示してない装置に出力する。

【0015】実施の形態3. 図3はこの発明の実施の形態3を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL規格のデータとのインターフェースを行うMIL-ST D-1397インターフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータとを変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、10はATM規格のデータとのイ

L規格のデータとのインターフェースを行うMIL-ST D-1397インターフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータと変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、9はSAFNET規格のデータとのインターフェースを行うSAFNETインターフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-ST D-1397インターフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記SAFNETインターフェース部9に対してアドレス制御を行う上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記SAFNETインターフェース部9から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-ST D-1397インターフェース部2と上記第2のデータ格納部33に対してアドレス制御を行う上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0016】図3においてMIL-ST D-1397インターフェース部2は図示していない装置からMIL規格の入力データ1を入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをSAFNETインターフェース部9に出力する。上記SAFNETインターフェース部9はSAFNET規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記SAFNETインターフェース部9は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-ST D-1397インターフェース部2に出力する。上記MIL-ST D-1397インターフェース部2はMIL規格のフォーマットの生成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示してない装置に出力する。

【0017】実施の形態4. 図4はこの発明の実施の形態4を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL規格のデータとのインターフェースを行うMIL-ST D-1397インターフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータとを変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、10はATM規格のデータとのイ

ンタフェースを行うATMインターフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397インターフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記ATMインターフェース部10に対してアドレス制御を行う上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記ATMインターフェース部10から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-STD-1397インターフェース部2と上記第2のデータ格納部33に対してアドレス制御を行なう上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0018】図4においてMIL-STD-1397インターフェース部2は図示していない装置からMIL規格の入力データ1を入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをATMインターフェース部10に出力する。上記ATMインターフェース部10はATM規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記ATMインターフェース部10は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-STD-1397インターフェース部2に出力する。上記MIL-STD-1397インターフェース部2はMIL規格のフォーマットの生成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示しない装置に出力する。

【0019】実施の形態5、図5はこの発明の実施の形態5を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、11はMIL規格のデータとのインターフェースを複数チャネル有するMIL-STD-1397多チャネルインターフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータとを変換するためにデータを格納し、タイミング調整を行なうデータ変換制御部、4はイーサネット規格のデータとのインターフェースを行なうイーサネットインターフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397多チャネルインターフェース部

11から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記イーサネットインターフェース部4に対してアドレス制御を行なう上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記イーサネットインターフェース部4から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-STD-1397多チャネルインターフェース部11と上記第2のデータ格納部33に対してアドレス制御を行なう上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0020】図5においてMIL-STD-1397多チャネルインターフェース部11は図示していない装置からMIL規格の入力データ1を複数チャネル入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをイーサネットインターフェース部4はイーサネット規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記イーサネットインターフェース部4は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-STD-1397多チャネルインターフェース部11に出力する。上記MIL-STD-1397多チャネルインターフェース部11はMIL規格のフォーマットの生成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示しない複数の装置に出力する。

【0021】実施の形態6、図6はこの発明の実施の形態6を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL規格のデータとのインターフェースを行なうMIL-STD-1397インターフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータとを変換するためにデータを格納し、タイミング調整を行なうデータ変換制御部、4はイーサネット規格のデータとのインターフェースを行なうイーサネットインターフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397インターフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記イーサネットインターフェース部4に対してアドレス制御を行なう上記デ

ータ変換制御部3に含まれる第1のアドレス制御部、3
3は上記イーサネットインターフェース部4から出力され
るデータを格納する上記データ変換制御部3に含まれる
第2のデータ格納部、3 4は上記M I L-S T D-1 3
9 7インターフェース部2と上記第2のデータ格納部3 3
に対してアドレス制御を行う上記データ変換制御部3に
含まれる第2のアドレス制御部、1 2は上記M I L-S
T D-1 3 9 7インターフェース部2からの制御信号を入
力し、制御信号を制御して上記M I L-S T D-1 3 9
7インターフェース部2に出力する制御信号制御部であ
る。

【0022】 図6においてM I L-S T D-1 3 9 7イ
ンターフェース部2は図示していない装置からM I L規格
の入力データ1を入力し、フォーマットの分解を行い、
第1のデータ格納部3 1にデータを出力する。上記第1
のデータ格納部3 1はデータを格納し、第1のアドレス
制御部3 2の制御により、格納したデータをイーサネット
インターフェース部4に出力する。上記イーサネットイ
ンターフェース部4はイーサネット規格のフォーマットの
生成を行い、上記第1のアドレス制御部3 2の制御によ
り、図示していないLANにLAN出力データ5を出力す
る。また、上記イーサネットインターフェース部4は図
示していないLANからLAN入力データ6を入力し、
フォーマットの分解を行い、第2のデータ格納部3 3に
データを出力する。上記第2のデータ格納部3 3はデータ
を格納し、第2のアドレス制御部3 4の制御により、
格納したデータを上記M I L-S T D-1 3 9 7インターフ
フェース部2に出力する。上記M I L-S T D-1 3 9
7インターフェース部2はM I L規格のフォーマットの生
成を行い、上記第2のアドレス制御部3 4の制御によ
り、M I L規格の出力データ7を図示しない装置に出
力する。制御信号制御部1 2は上記M I L-S T D-1
3 9 7インターフェース部2から出力される制御信号を入
力し、制御信号を制御して上記M I L-S T D-1 3 9
7インターフェース部2に出力する。

【0023】

【発明の効果】 第1から第4の発明によれば、M I L規

格とLAN規格のプロトコルの相互変換ができるように
したため、M I L規格のポイントツーポイントのインタ
フェースを容易にLANのインターフェースに変換するこ
とができるという効果がある。

【0024】 また、第5の発明によれば、M I L規格の
ポイントツーポイントのインターフェースを複数同時に扱
えるようにしたため、1台の装置で複数のポイントツー
ポイントのインターフェースを有する装置を接続できること
いう効果がある。

【0025】 また、第6の発明によれば、M I L規格の
制御信号を制御できるようにしたため、タイムアウトを
制御するなど制御信号が任意に扱えるという効果があ
る。

【図面の簡単な説明】

【図1】 この発明によるLAN連接装置の実施の形態
1を示す図である。

【図2】 この発明によるLAN連接装置の実施の形態
2を示す図である。

【図3】 この発明によるLAN連接装置の実施の形態
3を示す図である。

【図4】 この発明によるLAN連接装置の実施の形態
4を示す図である。

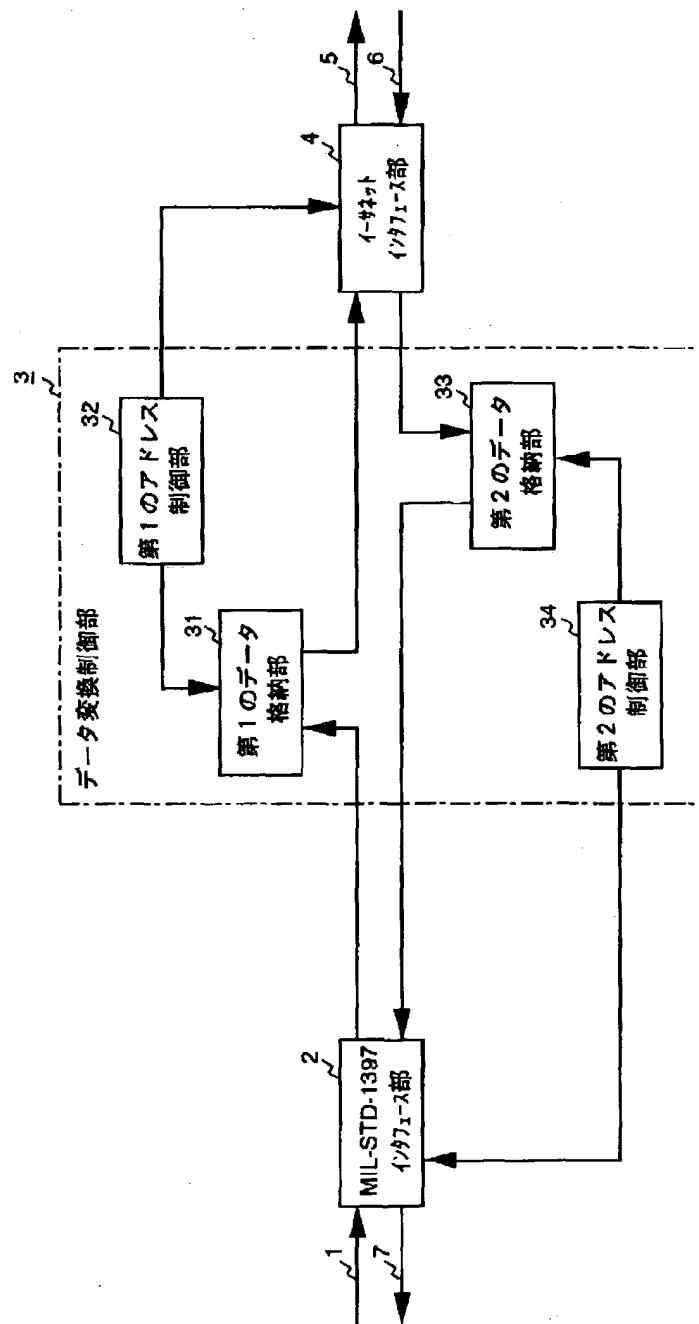
【図5】 この発明によるLAN連接装置の実施の形態
5を示す図である。

【図6】 この発明によるLAN連接装置の実施の形態
6を示す図である。

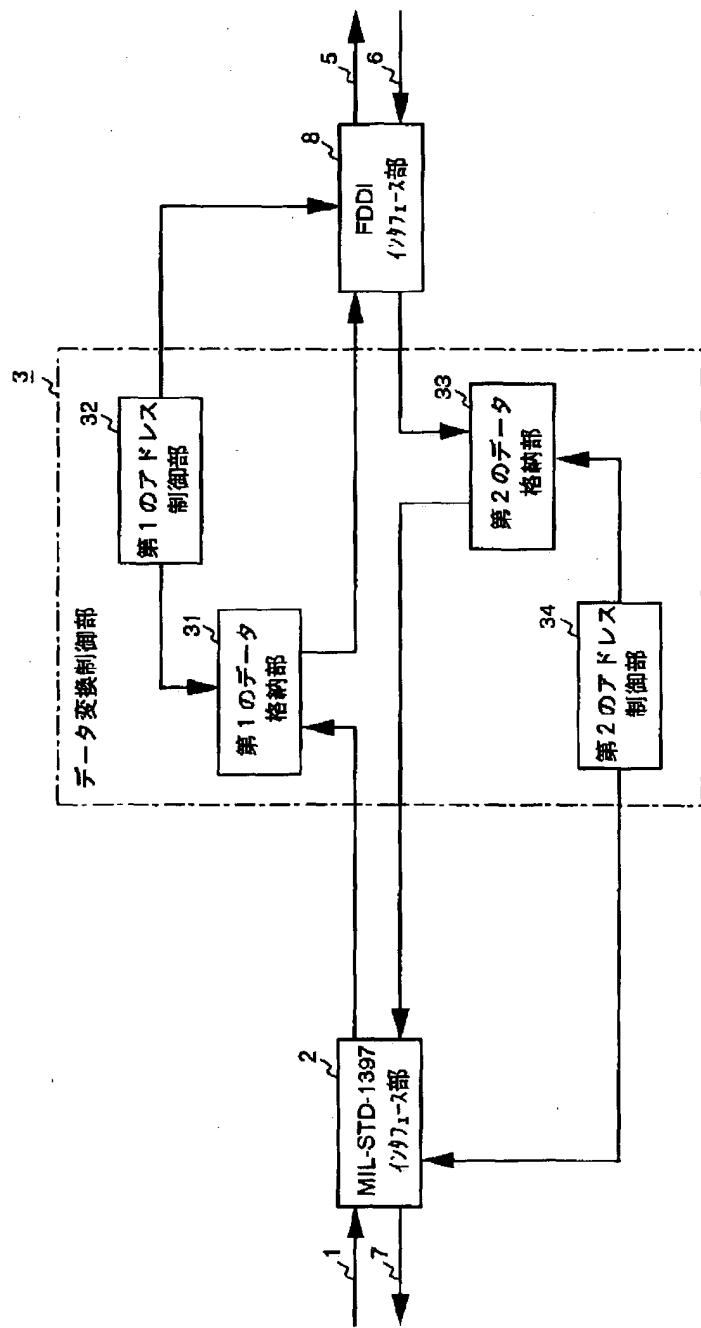
【符号の説明】

1 M I L規格の入力データ、2 M I L-S T D-1
3 9 7インターフェース部、3 データ変換制御部、4
30 イーサネットインターフェース部、5 LAN出力データ、6
LAN入力データ、7 M I L規格の出力データ、8 FDDI
インターフェース部、9 SAFENE
Tインターフェース部、10 ATMインターフェース部、
11 M I L-S T D-1 3 9 7多チャネルインターフ
フェース部、12 制御信号制御部、3 1 第1のデータ格
納部、3 2 第1のアドレス制御部、3 3 第2のデータ
格納部、3 4 第2のアドレス制御部。

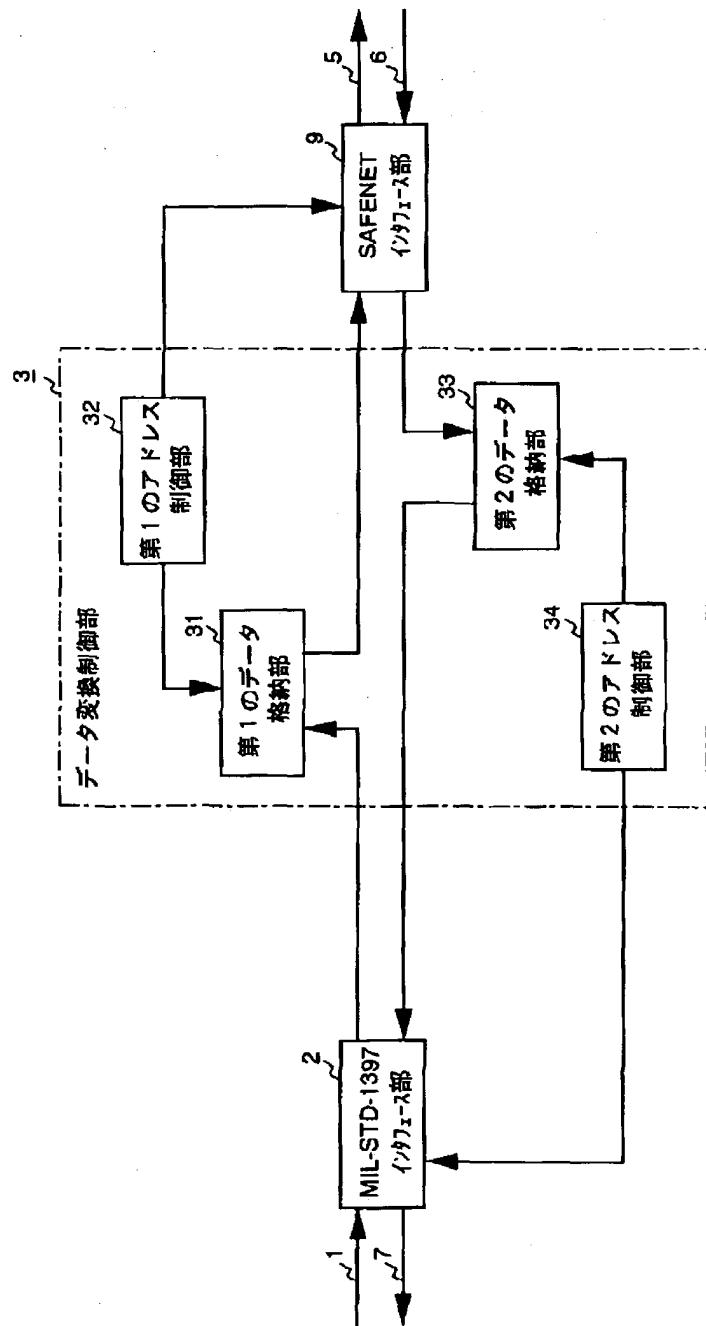
【図1】



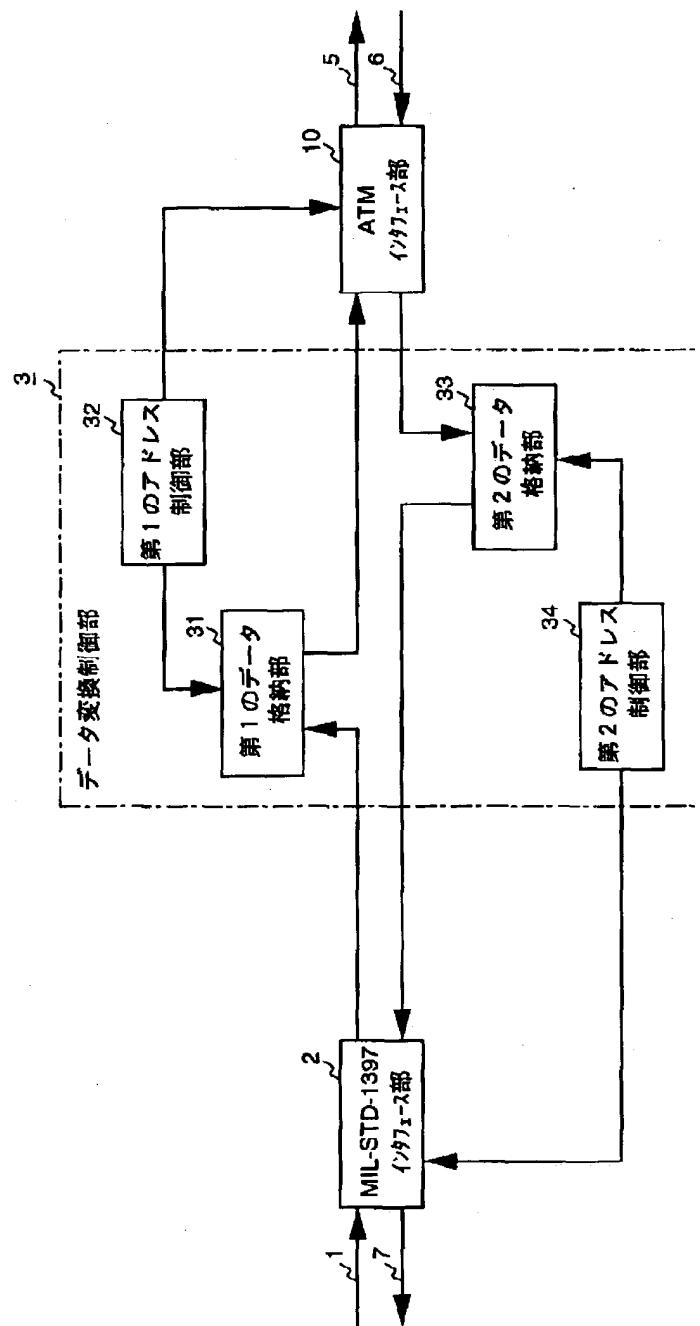
【図2】



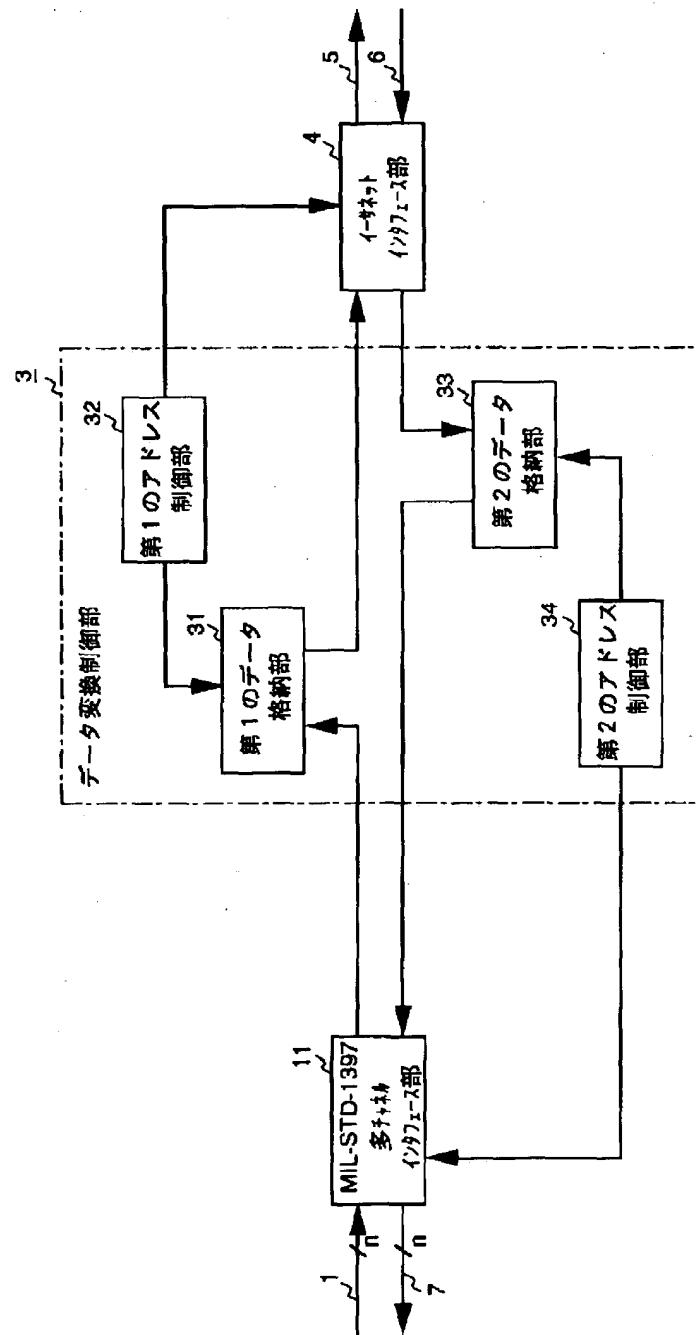
【図3】



【図4】



【図5】



【図6】

